

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-031280

(43)Date of publication of application : 09.02.1988

(51)Int.Cl.

H04N 5/335

(21)Application number : 61-173688

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 25.07.1986

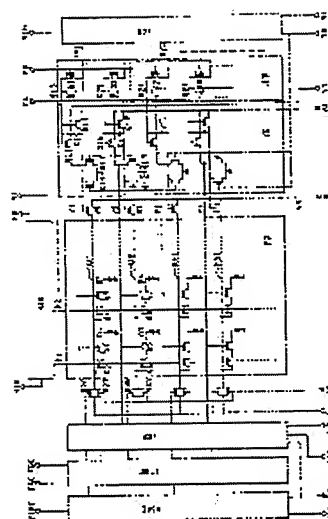
(72)Inventor : FURUICHI KAZUTERU  
TAKEMOTO KAYAO

## (54) IMAGE PICKUP DEVICE

### (57)Abstract:

**PURPOSE:** To contrive the realization of an electronic system and to improve the reliability by carrying out an automatic sensitivity setting corresponding to both fields by one counter circuit forming the number of rows corresponding to an interlace scanning.

**CONSTITUTION:** The sweeping operation of an optical signal already stored in the respective picture element cells of a second row is performed in parallel with the reading operation of a first row. Accordingly, the reading operation of the second row (vertical scanning line V2, horizontal signal line HS2) by a vertical shift register VSR for reading by a vertical scanning operation, an interlace gate circuit ITG and a driving circuit DV is carried out after the reading operation of the first row, so that the storage time of the photodiode of the picture element cell disposed on the second row is the reading time of the picture element cell of the first row. Thereby, the substantial storage time of the photodiode can be reduced to 1/3, namely, the sensitivity can be reduced to 1/3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-31280

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和63年(1988)2月9日

H 04 N 5/335

Q-8420-5C

審査請求 未請求 発明の数 1 (全 12 頁)

⑬ 発明の名称 撮像装置

⑭ 特 願 昭61-173688

⑮ 出 願 昭61(1986)7月25日

⑯ 発 明 者 古 市 和 照 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内  
⑯ 発 明 者 竹 本 一 八 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内  
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑰ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地  
⑱ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

撮像装置

## 2. 特許請求の範囲

1. 二次元状に配列された複数の画素セルの信号をインターレス方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスによりインターレス方式での垂直走査方向の選択動作を行う第2の走査回路とを含む固体撮像装置と、上記固体撮像装置の読み出し信号を受けて、所定の絞り量に対応した基準信号を参照して上記第2走査回路のアドレス指定情報を得る回路と、このアドレス指定情報を受けて1フィールド分の感度制御量を超えるアドレス指定に対して次のフィールドの第1の走査回路の入力タイミング信号を利用して上記第2走査回路の入力タイミング信号を発生させるタイミング発生回路とを含む感度制御回路とを具備することを特徴とする撮像装置。

2. 上記タイミング発生回路は、上記1フィールド分の行数を計数することのできる1つのダウンカウンタ回路と、上記1フィールド分の行数を超えるアドレス指定情報を検出する演算回路とを含むものであることを特徴とする特許請求の範囲第1項記載の撮像装置。

3. 上記固体撮像装置を構成する上記二次元状に配置される画素セルは、光電変換素子と垂直走査線にその制御端子が結合されるスイッチ素子及び水平走査線にその制御端子が結合されるスイッチ素子からなり、同じ行に配置された画素セルの出力ノードが共通に結合される水平信号線と、上記垂直走査線にその制御端子が結合され、上記水平信号線を一对の出力信号線に結合させる一对のスイッチ素子からなり、上記第1の走査回路を構成する垂直シフトレジスタと上記第2の走査回路を構成する垂直シフトレジスタは、上記垂直走査線の両端に上記一对のスイッチ素子に対応してそれぞれ配置されるものであることを特徴とする特許請求の範囲第1又は

第2項記載の撮像装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、撮像装置に関するもので、例えば、光電変換素子により形成される画素信号をMOSFET(絶縁ゲート形電界効果トランジスタ)を介して取り出し、その感度が可変にされる機能を持つ固体撮像装置を用いたものに利用して有効な技術に関するものである。

(従来技術)

従来より、フォトダイオードとスイッチMOSFETとの組み合わせからなる固体撮像装置が公知である。このような固体撮像装置に関しては、例えば特開昭56-152382号公報がある。上記固体撮像装置を利用した監視用又は家庭用等のテレビジョンカメラでは、光学レンズに自動絞り機構が設けられている。

(発明が解決しようとする問題点)

上記自動絞り機構付のレンズは、比較的複雑な機械部品を必要とし、テレビジョンカメラにおけ

るレンズ部の大型化及び高コスト化の原因となっている。また、上記自動絞り機構は、比較的複雑な機械部品からなるため、機械的機構部分の摩耗による信頼性の点で問題がある。

この発明の目的は、簡単な感度制御回路によって電子式の自動絞りを実現した撮像装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、二次元状に配列された複数個の画素セルの信号をインターレス方式で時系列的に出力させる第1の走査回路と、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスによりインターレス方式での垂直走査方向の選択動作を行う第2の走査回路とを含む固体撮像装置の感度制御のために、上記固体撮像装置の読み

3

出し信号と所定の絞り量に対応した基準信号を参照して上記第2走査回路のアドレス指定情報を形成し、このアドレス指定情報を受けて1フィールド分の感度制御量を越えるアドレス指定に対して次のフィールドの第1の走査回路の入力タイミング信号を利用して上記第2走査回路の入力タイミング信号を発生させる。

(作用)

上記した手段によれば、インターレス走査に対応した行数を形成する1つのカウンタ回路によって、両フィールドに対応した自動感度(自動絞り量)設定を行うことができる。

(実施例)

第1図には、この発明に係る撮像装置に用いられるTSL(Transversal Signal Line)方式の感度可変機能が付加された固体撮像装置の一実施例の要部回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同

4

図の主要なブロックは、実際の幾何学的な配置に合わせて描かれている。

画素アレイPDは、4行、2列分が代表として例示的に示されている。但し、図面が複雑化されてしまうのを防ぐために、上記4行分のうち、2行分の画素セルに対してのみ回路記号が付加されている。1つの画素セルは、フォトダイオードD1と垂直走査線V1にそのゲートが結合されたスイッチMOSFETQ1と、水平走査線にそのゲートが結合されたスイッチMOSFETQ2の直列回路から構成される。上記フォトダイオードD1及びスイッチMOSFETQ1、Q2からなる画素セルと同じ行(水平方向)に配置される他の同様な画素セル(D2、Q3、Q4)等の出力ノードは、同図において横方向に延長される水平信号線H1に結合される。他の行についても上記同様な画素セルが同様に結合される。

例示的に示されている水平走査線H1は、同図において縦方向に延長され、同じ列に配置される画素セルのスイッチMOSFETQ2、Q6等の

5

6

ゲートに共通に結合される。他の列に配置される画素セルも上記同様に対応する水平走査線H2等に結合される。

この実施例では、固体撮像装置に対して実質的な自動絞り機能を付加するため、言い換えるならば、フォトダイオードに対する実質的な蓄積時間を可変にするため、上記画素アレイを構成する水平信号線HS1ないしHS4等の両端に、それぞれスイッチMOSFETQ8、Q9及びQ26、Q28が設けられる。右端側に配置される上記スイッチMOSFETQ8、Q9は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長される出力線VSに結合させる。この出力線VSは、端子Sに結合され、この端子Sを介して外部に設けられるプリアンプの入力に読み出し信号が伝えられる。また、左端側に配置される上記スイッチMOSFETQ26、Q28は、上記水平信号線HS1、HS2をそれぞれ縦方向に延長されるダミー（リセット）出力線DVSに結合させる。この出力線DVSは、特に制限されないが、端子RV

に結合され、必要なら上記ダミー出力線DVSの信号を外部に送出できるようにしている。

この実施例では、特に制限されないが、上記各行の水平信号線HS1ないしHS4には、端子RPから水平帰線期間において供給されるリセット信号によってオン状態にされるスイッチMOSFETQ27、Q29等が設けられる。これらのMOSFETQ27、Q29等のオン状態によって、上記ダミー出力線RVから一定のバイアス電圧が各水平信号線HS1ないしHS4に与えられる。上記のようなリセット用MOSFETQ27、Q29等が設けられる理由は、次の通りである。上記水平信号線HS1ないしHS4に結合されるスイッチMOSFETのドレイン等の半導体領域も感光性を持つことがあり、このような寄生フォトダイオードにより形成される偽信号（スメア、ブルーミング）が、非選択時にフローティング状態にされる水平信号線に蓄積される。そこでこの実施例では、上述のように水平帰線期間を利用して、全ての水平信号線HS1ないしHS4を所定のバ

7

ィアス電圧VBにリセットするものである。これにより、選択される水平信号線に関しては、常に上記偽信号をリセットした状態から画素信号を取り出すものであるため、出力される画像信号に含まれる偽信号を大幅に低減できる。なお、上記偽信号（スメア、ブルーミング）に関しては、例えば、特開昭57-17276号公報に詳細に述べられている。

上記水平走査線H1ないしH2等には、水平シフトレジスタHSRにより形成された水平走査信号が供給される。

上記画素アレイPDにおける垂直選択動作（水平走査動作）を行う走査回路は、次の各回路により構成される。

この実施例では、上記画素アレイPDの水平信号線HS1ないしHS4等の両端に、一対のスイッチMOSFETQ8、Q9等及びスイッチMOSFETQ26、Q28等が設けられることに対応して一対の走査回路が設けられる。

この実施例では、産業用途にも適用可能とする

8

ため、インターレスモードの他に選択的な2行同時走査、ノンインターレスモードでの走査を可能にしている。画素アレイPDの右側には、次のような走査回路が設けられる。垂直シフトレジスタVSRは、読み出し用に用いられる出力信号SV1、SV2等を形成する。これらの出力信号SV1、SV2等は、インターレスゲート回路ITG及び駆動回路VDを介して上記垂直走査線V1ないしV4及びスイッチMOSFETQ8、Q9等のゲートに供給される。

上記インターレスゲート回路ITGは、インターレスモードでの垂直選択動作（水平走査動作）を行うため、第1（奇数）フィールドでは、垂直走査線V1ないしV4には、隣接する垂直走査線V1、V2とV3の組み合わせで同時選択される。すなわち、奇数フィールド信号FAによって制御されるスイッチMOSFETQ18により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1を選択する垂直走査線V1に出力される。同様に、信号FAによって制御されるスイ

9

10

ッチMOSFETQ20とQ22によって、垂直シフトレジスタVSRの出力信号SV2は、水平信号線HS2とHS3を同時選択するよう垂直走査線V2とV3に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

また、第2(偶数)フィールドでは、垂直走査線V1ないしV4には、隣接する垂直走査線V1とV2及びV3とV4の組み合わせで同時選択される。すなわち、偶数フィールド信号FBによって制御されるスイッチMOSFETQ19とQ21により、垂直シフトレジスタVSRの出力信号SV1は、水平信号線HS1とHS2を選択する垂直走査線V1とV2に出力される。同様に、信号FBによって制御されるスイッチMOSFETQ23とQ25によって、垂直シフトレジスタVSRの出力信号SV2は、水平信号線HS3とHS4を同時選択するよう垂直走査線V3とV4に出力される。以下同様な順序の組み合わせからなる一対の水平信号線の選択信号が形成される。

11

ート回路ITGからの出力信号がハイレベルにされるとき、端子V3の電位をロウレベルにしておいてキャパシタC1にプリチャージを行う。この後、端子V3の電位をハイレベルにすると、キャパシタC1によるブートストラップ作用によって上記MOSFETQ14及びQ15のゲート電圧を昇圧させることができる。

上記垂直走査線V1に隣接する垂直走査線V2に対応されたインターレスゲート回路ITGからの出力信号は、スイッチMOSFETQ16とQ17のゲートに供給される。これらのスイッチMOSFETQ16とQ17の共通化されたドレイン電極は、端子V4に結合される。上記スイッチMOSFETQ16は、端子V4から供給される信号を上記垂直走査線V2に供給する。また、スイッチMOSFETQ17は、上記端子V4から供給される信号を水平信号線HS2を出力線VSに結合させるスイッチMOSFETQ9のゲートに供給される。また、出力信号のハイレベルがスイッチMOSFETQ16、Q17によるしきい

13

上記のようなインターレスゲート回路ITGと、次の駆動回路DVとによって、以下に説明するような複数種類の水平走査動作が実現される。

上記1つの垂直走査線V1に対応されたインターレスゲート回路ITGからの出力信号は、スイッチMOSFETQ14とQ15のゲートに供給される。これらのスイッチMOSFETQ14とQ15の共通化されたドレイン電極は、端子V3に結合される。上記スイッチMOSFETQ14は、端子V3から供給される信号を上記垂直走査線V1に供給する。また、スイッチMOSFETQ15は、上記端子V3から供給される信号を水平信号線HS1を出力線VSに結合させるスイッチMOSFETQ8のゲートに供給される。また、出力信号のハイレベルがスイッチMOSFETQ14、Q15によるしきい値電圧分だけ低下してしまうのを防止するため、特に制限されないが、MOSFETQ14のゲートと、MOSFETQ15の出力側(ソース側)との間にキャパシタC1が設けられる。これによって、インターレスゲ

12

値電圧分だけ低下してしまうのを防止するため、特に制限されないが、MOSFETQ16のゲートと、MOSFETQ17の出力側(ソース側)との間にキャパシタC2が設けられる。これによって、上記同様なタイミングで端子V4の電位を変化させることによりキャパシタC2によるブートストラップ作用によって上記MOSFETQ16及びQ16のゲート電圧を昇圧させることができる。

上記端子V3は、奇数番目の垂直走査線(水平信号線)に対応した駆動用のスイッチMOSFETに対して共通に設けられ、端子V4は偶数番目の垂直走査線(水平信号線)に対して共通に設けられる。

以上のことから理解されるように、端子V3とV4に択一的にタイミング信号を供給すること及び上記インターレスゲート回路ITGによる2行同時選択動作との組み合わせによって、インターレスモードによる読み出し動作が可能になる。例えば、奇数フィールドFAのとき、端子V4をロ

14

ウレベルにしておいて、端子V3に上記垂直シフトレジスタVSRの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をV1（HS1）、V3（HS3）の順に選択することができる。また、偶数フィールドFBのとき、端子V3をロウレベルにしておいて、端子V4に上記垂直シフトレジスタVSRの動作と同期したタイミング信号を供給することによって、垂直走査線（水平信号線）をV2（HS2）、V4（HS4）の順に選択することができる。

一方、上記端子V3とV4を同時に上記同様にハイレベルにすれば、上記インターレスゲート回路ITGからの出力信号に応じて、2行同時走査を行うことができる。この場合、上記のように2つのフィールド信号FAとFBによる2つの画面毎に出力される2つの行の組み合わせが1行分上下にシフトされるることにより、空間的重心の上下シフト、言い換えるならば、等価的なインターレスモードが実現される。

さらに、例えばFB信号のみをハイレベルにし

て、1つの垂直走査タイミングで、水平シフトレジスタHSRを2回動作させて、それに同期して端子V3とV4をハイレベルにさせることによって、V1、V2、V3、V4の順のようにノンインターレスモードでの選択動作を実現できる。この場合、より高画質とするために、水平シフトレジスタHSR及び垂直シフトレジスタVSRに供給されるクロックが2倍の周波数にされることが望ましい。すなわち、端子H1とH2及び端子V1とV2から水平シフトレジスタHSR及び垂直シフトレジスタVSRに供給されるクロック信号の周波数を2倍の高い周波数にすることによって、1秒間に60枚の画像をノンインターレス方式により読み出しことができる。なお、端子HIN及びVINは、上記シフトレジスタHSR、VSRによってそれぞれシフトされる入力信号を供給する端子である。

また、上記各垂直走査線V1及びそれに対応したスイッチMOSFETQ8のゲートと回路の接地電位点との間には、リセット用MOSFETQ

15

10とQ11が設けられる。これらのリセット用MOSFETQ10とQ11は、他の垂直走査線及びスイッチMOSFETに対応して設けられるリセット用MOSFETと共通に端子V2から供給されるクロック信号を受けて、上記選択状態の垂直走査線及びスイッチMOSFETのゲート電位を高速にロウレベルに引き抜くものである。

この実施例では、前述のように感度可変機能を付加するために、感度制御用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVEが設けられる。これらの感度制御用の各回路は、特に制限されないが、上記画素アレイPDに対して、左側に配置される。これらの垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVEは、上記読み出し用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVと同様な回路により構成される。端子V1EないしV4E及びVINE並びにFAE、ABEからそれぞれ上記同様なタイミング信号が供給される。この場合、

16

上記読み出し用の垂直シフトレジスタVSRと上記感度可変用の垂直シフトレジスタVSRとを同期したタイミングでのシフト動作を行わせるため、端子V1EとV1及びV2EとV2には、同じクロック信号が供給される。したがって、上記端子V1EとV1及びV2EとV2とは、内部回路により共通化するものであってもよい。上記のように独自の端子V1E及びV2Eを設けた理由は、この固体撮像装置を手動絞りや従来の機械的絞り機能を持つテレビジョンカメラに適用可能にするためのものである。このように感度可変動作を行わない場合、上記端子V1E及びV2Eを回路の接地電位のようなロウレベルにすること等によって、上記垂直シフトレジスタVSRの無駄な消費電力の発生をおさえるよう配慮されている。

次に、この実施例の固体撮像装置における感度制御動作を説明する。

説明を簡単にするために、上記ノンインターレスモードによる垂直走査動作を例にして、以下説明する。例えば、感度制御用の垂直シフトレジ

17

18

タVSR E、インターレスゲート回路ITGE及び駆動回路DVEによって、読み出し用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVによる第1行目(垂直走査線V1、水平信号線HS1)の読み出しに並行して、第4行目(垂直走査線V4、水平信号線HS4)の選択動作を行わせる。これによって、水平シフトレジスタHSRにより形成される水平走査線H1、H2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流の供給によって行われ、読み出し動作と同時にプリチャージ(リセット)動作が行われる。同様な動作が、第4行目におけるフォトダイオードにおいても行われる。この場合、上記のような感度可変用の走査回路(VSR E、ITGE、DVE)によって、第4行目の読み出し動作は、ダミー出力線DVSに対して行われる。感度制御動作のみを行う場合、

端子RVには端子Sと同じバイアス電圧が与えられている。これによって、第4行目の各画素セルに既に蓄積された光信号の掃き出し、言い換えるならば、リセット動作が行われる。

したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVによる第4行目(垂直走査線V4、水平信号線HS4)の読み出し動作は、上記第1行ないし第3行の読み出し動作の後に行われるから、第4行目に配置される画素セルのフォトダイオードの蓄積時間は、3行分の画素セルの読み出し時間となる。

上記に代えて、感度制御用の垂直シフトレジスタVSR E、インターレスゲート回路ITGE及び駆動回路DVEによって、読み出し用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVによる第1行目(垂直走査線V1、水平信号線HS1)の読み出しに並行して、第2行目(垂直走査線V2、水平信号線HS2)の選択動作を行わせる。これによって、水平

19

シフトレジスタHSRにより形成される水平走査線H1、H2等の選択動作に同期して、出力信号線VSには第1行目におけるフォトダイオードD1、D2等に蓄積された光信号が時系列的に読み出される。この読み出し動作は、端子Sから負荷抵抗を介した上記光信号に対応した電流の供給によって行われ、読み出し動作と同時にプリチャージ(リセット)動作が行われる。同様な動作が、第2行目におけるフォトダイオードD3、D4等においても行われる。これによって、上記第1行目の読み出し動作と並行して第2行目の各画素セルに既に蓄積された光信号の掃き出し動作が行われる。したがって、上記垂直走査動作によって、読み出し用の垂直シフトレジスタVSR、インターレスゲート回路ITG及び駆動回路DVによる第2行目(垂直走査線V2、水平信号線HS2)の読み出し動作は、上記第1行の読み出し動作の後に行われるから、第2行目に配置される画素セルのフォトダイオードの蓄積時間は、1行分の画素セルの読み出し時間となる。これによって、上

20

記の場合に比べて、フォトダイオードの実質的な蓄積時間を $1/3$ に減少させること、言い換えるならば、感度を $1/3$ に低くできる。

上述のように、感度制御用の走査回路によって行われる先行する垂直走査動作によってその行の画素セルがリセットされるから、そのリセット動作から上記読み出し用の走査回路による実際の読み出しが行われるまでの時間が、フォトダイオードに対する蓄積時間とされる。したがって、525行からなる画素アレイにあっては、上記垂直走査回路による異なるアドレス指定と共通の水平走査回路による画素セルの選択動作によって、1行分の読み出し時間を単位(最小)として最大525までの多段階にわたる蓄積時間、言い換えるならば、525段階にわたる感度の設定を行うことができる。ただし、受光面照度の変化が、上記1画面を構成する走査時間に対して無視でき、実質的に一定の光がフォトダイオードに入射しているものとする。なお、最大感度(525)は、上記感度制御用の走査回路は非動作状態のときに得

21

22

られる。

第2図には、上記固体撮像装置を用いた、自動絞り機能を持つ撮像装置の一実施例のブロック図が示されている。

固体撮像装置MIDは、上記第1図に示したような感度可変機能を持つものである。この固体撮像装置MIDから出力される読み出し信号は、プリアンプによって増幅される。この増幅信号 $V_{out1}$ は、一方において図示しない信号処理回路に供給され、例えばテレビジョン用の画像信号とされる。上記増幅信号 $V_{out1}$ は、他方において自動絞り制御用に利用される。すなわち、上記増幅信号 $V_{out1}$ は、ローパスフィルタLPFに供給され、その平均的な信号レベルに変換される。この信号は、特に制限されないが、検波回路DETに供給され、ここで直流信号化される。感度制御回路は、上記検波回路DETの出力信号を受けて、所望の絞り量とを比較して、最適絞り量に対応した制御信号を形成する。すなわち、感度制御回路は、固体撮像装置MIDに前述のような走査タイミング

を制御するクロック信号を供給する駆動回路からの信号VIN、及びV1等を受けて、固体撮像装置MIDの読み出しタイミングを参照して、それにより実質的に先行する信号VINEを形成する。すなわち、上記タイミング信号VINを基準にして、必要な絞り量（感度）に対応した先行するタイミング信号VINEを形成するものであるため、実際には上記タイミング信号VINに遅れて信号VINEが形成される。しかしながら、繰り返し走査が行われるため、上記信号VINEからみると、次の画面の走査では信号VINが遅れるものとされる。すなわち、タイミング信号VINに対して1行分遅れてタイミング信号VINEを発生すると、次の走査画面では、タイミング信号VINEは、タイミング信号VINに対して524行分先行するタイミング信号とみなされる。上記タイミング信号VIN及びVINEによって、各垂直シフトレジスタVSR及びVSRのシフト動作が開始されるから、前述のような感度可変動作が行われる。

2 3

感度制御回路は、例えば電圧比較回路によって所望の絞り量に相当する基準電圧と、上記検波回路DETからの出力電圧とを比較して、その大小に応じて、1段階づつ絞り量を変化させる。または、応答性を高くするために、上記525段階の絞り量を2値化信号に対応させておいて、その最上位ビットから上記電圧比較回路の出力信号に応じて決定する。例えば、約1/2の絞り量（感度256）を基準にして、検波回路DETの信号が基準電圧より大きいときには1/4（感度128）に、小さいときには3/4（感度384）とし、以下、それぞれの半分づつの絞り量を決定する。これによって、感度525段階の中から1つの最適絞り量を10回の設定動作によって得ることができる。上記絞り量の設定動作、言い換えるならば、感度制御用の垂直シフトレジスタVSRの初期設定動作（VINE）を垂直帰線期間において行うものとする、10枚分の画面からの読み出し信号動作に応じて最適絞り量の設定を行うことができる。

2 5

2 4

この実施例の撮像装置では、感度可変機能が固体撮像装置MIDに内蔵されていること、及びその読み出し出力信号のレベルを判定して、電気的に上記感度を制御するものであるため、上記感度制御回路も半導体集積回路等により構成できるから、装置の小型軽量化及び高耐久性を図ることができる。

第3図には、上記感度制御回路に設けられる感度制御用の信号発生回路の一実施例のブロック図が示されている。

上記のように525段階の感度制御を行うためには、信号VINに対して1ないし524行分にわたって位相が異なるように設定できる信号VINEを形成することが必要とされる。そして、上記のようにインターレスモードにおける奇数フィールドと偶数フィールドに対応して、それぞれ上記1ないし524行分にわたって位相が異なるように設定できる信号VINEを形成することが必要とされる。このため、10ビットのバイナリカウンタ回路が2つ必要になってしまう。

2 6



この実施例では、上記感度設定用のカウンタ回路を簡素化するために、次の各回路が設けられる。

感度制御データDATAは、演算回路AUに供給される。この演算回路AUは、上記指定された感度Xから263を減算する。この減算結果が負( $X - 263 < 0$ )なら制御信号Cをロウレベルにするとともに上記感度Xをそのまま出力する。また、このときには、感度制御用の奇数フィールド信号FAEをハイレベルにする。一方、減算結果が正( $X - 263 \geq 0$ )なら、上記制御信号Cをハイレベルにするとともに、その減算結果( $X - 263$ )を出力する。また、このときには感度制御用の偶数フィールド信号FBEをハイレベルにする。ダウンカウンタ回路DWCTは、上記出力信号X又は $X - 263$ が初期値として入力される。このダウンカウンタ回路DWCTは、9ビットのカウンタ回路からなり、上記初期値に応じた計数動作を行う。

上記制御信号Cはアンド(AND)ゲート回路G1に供給される。このアンドゲート回路G1の

他方の入力には、読み出し用の奇数フィールド信号FAが供給される。そして、このゲート回路G1の出力信号は、スイッチSWの切り換えを指示する。すなわち、スイッチSWは、奇数フィールドFAのとき、上記減算結果が正なら同図に示すように接点b側に接続させる。これに応じて、信号VINを受ける遅延回路DLによって形成される1行分遅れた信号VIN'が上記ダウンカウンタ回路DWCTに入力される。また、スイッチSWは、上記制御信号Cがロウレベルか、又は偶数フィールドなら接点a側に切り換える。これに応じて、信号VINが上記ダウンカウンタ回路DWCTに供給される。ダウンカウンタ回路DWCTは、上記スイッチSWを通した信号VIN'又はVINを受けて、垂直シフトレジスタVSRに供給されるクロック信号V1の計数動作を開始する。このダウンカウンタ回路DWCTの出力が零にされたタイミングで、上記感度制御用の信号VINBが発生される。これによって、10ビットからなる1つのダウンカウンタ回路DWCTにより、

27

奇数及び偶数フィールドに対応した感度制御用のタイミング信号VINBを形成することができる。

次に、第4図に示したタイミング図を参照して、上記第3図に示したブロック図の感度設定動作を説明する。

例えば、感度Xを264に設定するとき、演算回路AUは、 $264 - 263$ の減算結果(1)をダウンカウンタ回路DWCTにプリセットする。また、偶数フィールドFBEをハイレベルにして偶数フィールドに対応した感度設定用の垂直シフトレジスタVSRBに対する入力信号VINBの設定であることを指示する。すなわち、読み出し用の奇数フィールド用の入力信号VINを用いて偶数フィールドの感度設定を行うことを指示する。上記読み出し用の奇数フィールドFAの信号によってスイッチSWは接点b側に接続される。それ故、入力信号VINを遅延回路DLによって1行分遅れた信号VIN'が供給されたとき、ダウンカウンタ回路DWCTは、その計数動作を開始する。したがって、出力信号VINBは上記計数値

28

1のダウン計数後、言い換えるならば、入力信号VINに対して2行分遅れた発生される。この信号VINBは、上記のように偶数フィールドFBEに対応したものであるので、それを基準にすると、読み出し用の偶数フィールドFBEの入力信号VINに対して $263 - 2 = 261$ (行)先行して感度制御用垂直シフトレジスタVSRBがシフト動作を行うものとなる。これによって、最初の1フレームにおける偶数フィールドの読み出し動作に対して261( $525 - 264$ )行分の走査時間に対応した蓄積時間(感度)の設定が行われる。

また、次のフレームにおける奇数フィールドに対応して演算回路AUは、 $264 - 263$ の減算結果(1)をダウンカウンタ回路DWCTにプリセットする。偶数フィールドでは信号FAのロウレベルによってスイッチSWは接点a側に切り換えられる。それ故、ダウンカウンタ回路DWCTは、入力信号VINがそのまま供給されたとき、その計数動作を開始する。したがって、出力信号

29

30

V I N Bは入力信号V I Nを基準にして上記計数値1のダウン計数後、言い換えるならば、偶数フィールドに対応した入力信号V I Nに対して1行分遅れた発生される。この信号V I N Bを基準にすると、次のフレームにおける奇数フィールドF Aの入力信号V I Nに対して $262-1=261$ (行)先行して感度制御用垂直シフトレジスタV S R Bがシフト動作を行うものとなる。すなわち、上記同様に奇数フィールドの読み出し動作に対して $261(525-264)$ 行分の走査時間に対応した蓄積時間(感度)の設定が行われる。

これに対して、例えば感度Xを260に設定するとき、演算回路A Uは $260-263$ の演算結果(-3)の負に応じて、上記感度260をそのままダウンカウンタ回路D W C Tにプリセットする。また、奇数フィールドF A Bをハイレベルにして奇数フィールドに対応した感度設定用の垂直シフトレジスタV S R Bに対する入力信号V I N Bの設定であることを指示する。すなわち、読み出し用の奇数フィールド用の入力信号V I Nを用

いて次のフレームにおける奇数フィールドの感度設定を行うことを指示する。さらに、上記制御信号Cがロウレベルにされる。これによって、スイッチS Wは接点a側に接続される。それ故、入力信号V I Nが供給されたとき、ダウンカウンタ回路D W C Tは、その計数動作を開始する。したがって、出力信号V I N Bは上記計数値260のダウン計数後、言い換えるならば、入力信号V I Nに対して260行分遅れた発生される。この信号V I N Bを基準にして、次のフレームでの奇数フィールドF Aの入力信号V I Nに対して $525-260=265$ (行)先行して感度制御用垂直シフトレジスタV S R Bがシフト動作を行うものとなる。すなわち、次のフレームにおける奇数フィールドの読み出し動作に対して265行分の走査時間に対応した蓄積時間(感度)の設定が行われる。

また、偶数フィールドに対応して演算回路A Uは、上記同様に感度260をそのままダウンカウンタ回路D W C Tにプリセットする。また、偶数

3 1

フィールドF B Bをハイレベルにして偶数フィールドに対応した感度設定用の垂直シフトレジスタV S R Bに対する入力信号V I N Bの設定であることを指示する。すなわち、読み出し用の偶数フィールド用の入力信号V I Nを用いて次のフレームにおける偶数フィールドの感度設定を行うことを指示する。以下の動作は、上記奇数フィールドでの感度設定と同様であるので、その説明を省略する。

このように、上記設定感度Xと、実際の固体撮像装置M I Dの感度Yとは補数( $Y=525-X$ )の関係にある。

上記の実施例から得られる作用効果は、下記の通りである。

(1)二次元状に配列された複数個の画素セルの信号を時系列的に出力させる第1の走査回路に加えて、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスにより垂直走査方向の選択動作を行う第2の走査回路を設け、上記第2の走査回路によって第1の走査回路による垂直走

3 2

査に対して先行する垂直走査を行わせることによって、上記2つの垂直走査の時間差に応じて光電変換素子の蓄積時間を制御することが可能となるという効果が得られる。

(2)上記(1)の固体撮像装置の読み出し信号を平均化して、所望の絞り量に相当する基準電圧との比較により、上記第2走査回路のアドレス指定情報を形成し、このアドレス指定情報を受けて1フィールド分の感度制御量を超えるアドレス指定に対して次のフィールドの第1の走査回路の入力タイミング信号を利用して上記第2走査回路の入力タイミング信号を発生させる。これによって、インターレース走査に対応した行数を形成する1つのカウンタ回路によって、両フィールドに対応した自動感度(自動絞り量)設定を行うことができるという効果が得られる。

(3)上記(2)により、上記感度制御回路を半導体集積回路装置により構成する場合、回路の簡素化が図られるという効果が得られる。

(4)上記(3)により、レンズに機械的な絞り機構を用

3 3

3 4

いることなく、半導体集積回路化された電子回路による自動絞り機構を設けることができる。これによって、自動絞り機能を持つNTSC方式に対応したテレビジョンカメラの小型軽量化を図ることができるという効果が得られる。

(5) 固体撮像装置の垂直方向の行数分に相当する多段階にわたる感度制御（絞り制御）が可能になるため、自動絞りの高品質の画像信号を得ることができるという効果が得られる。

(6) 感度動作を画面の1枚毎に高速に変化させることができるから、応答性の高い自動絞り制御が可能になるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、カウンタ回路としては、上記ダウンカウンタ回路に代えてアップカウンタ回路を用い、所定の計数値を計数したとき上記タイミング信号VINEを形成するものとしてもよい。また、自

動絞り量を設定するため、読み出し信号を処理するアナログ回路の構成は、上記単純に平均値を求めるものの他、ピーク値を求めてそれとの混合によって絞り量を設定する等種々の変形を採ることができる。

この発明に係る撮像装置に用いられる固体撮像装置は、上記MOS型固体撮像装置の他、例えばCCD（電荷移送素子）を用いたものにも適用できる。すなわち、読み出しが行われる行に対して先行する行におけるフォトダイオードの電荷を掃き出させるリセット回路を付加し、このリセット回路を感度設定用の走査回路により動作状態にして感度可変機能が付加されるものであってもよい。この発明は、上記のように感度可変にされ、インターレース方式による垂直走査が行われる固体撮像装置を用いた撮像装置に広く利用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、二次元状に配列され

35

た複数の画素セルの信号を時系列的に出力させる第1の走査回路に加えて、上記第1の走査回路による垂直走査方向の選択アドレスと独立したアドレスにより垂直走査方向の選択動作を行う第2の走査回路を設け、上記第2の走査回路によって第1の走査回路による垂直走査に対して先行する垂直走査を行わせることによって、感度可変にされる固体撮像装置の読み出し信号を平均化して、所望の絞り量に相当する基準電圧との比較により、上記第2走査回路のアドレス指定情報を形成し、このアドレス指定情報を受けて1フィールド分の感度制御量を越えるアドレス指定に対して次のフィールドの第1の走査回路の入力タイミング信号を利用して上記第2走査回路の入力タイミング信号を発生させる。これによって、インターレース走査に対応した行数を形成する1つのカウンタ回路によって、両フィールドに対応した自動感度（自動絞り量）設定を行うことができる。

#### 4. 図面の簡単な説明

第1図は、この発明に用いられる固体撮像装置

36

の一実施例を示す要図回路図、

第2図は、この発明に係る自動絞り機能を持つ撮像装置の一実施例を示すブロック図、

第3図は、その感度制御回路に用いられる感度設定用の信号発生回路の一実施例を示すブロック図、

第4図は、その動作の一例を説明するためのタイミング図である。

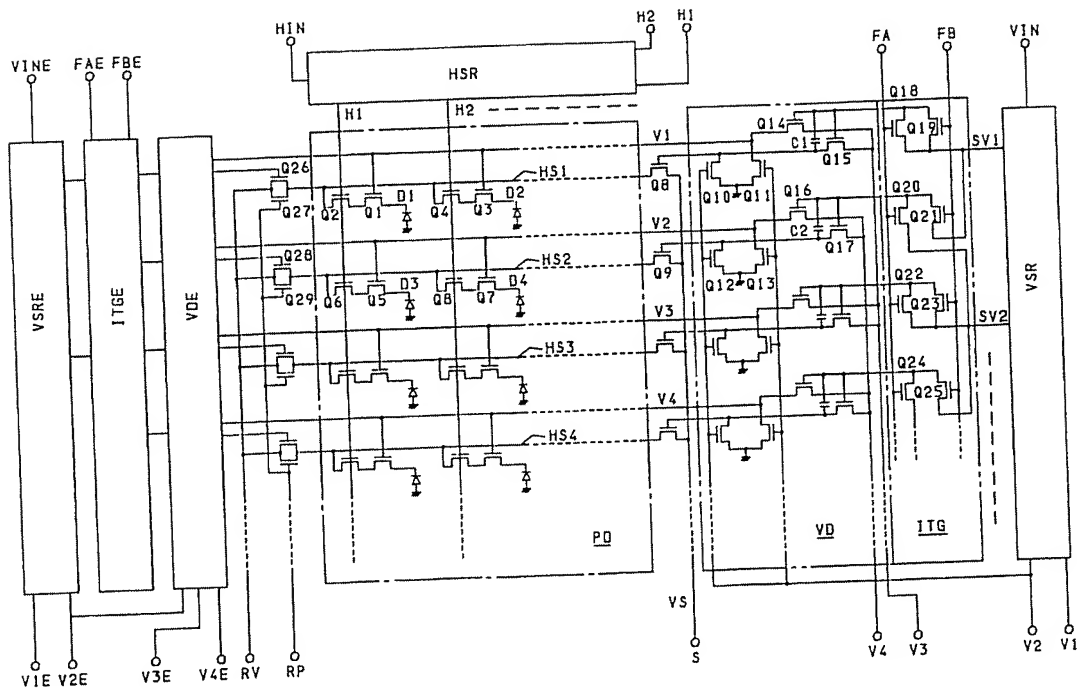
PD・・・画素アレイ、VSR・・・読み出し用垂直シフトレジスタ、ITG・・・読み出し用インターレースゲート回路、DV・・・読み出し用駆動回路、VSRE・・・感度設定用垂直シフトレジスタ、ITGE・・・感度設定用インターレースゲート回路、DVE・・・感度設定用駆動回路、HSR・・・水平シフトレジスタ、MID・・・固体撮像装置、LPF・・・ローパスフィルタ、DET・・・検波回路、AU・・・演算回路、DWC T・・・ダウンカウンタ回路、DL・・・遅延回路、SW・・・スイッチ

代理人弁理士 小川 勝男

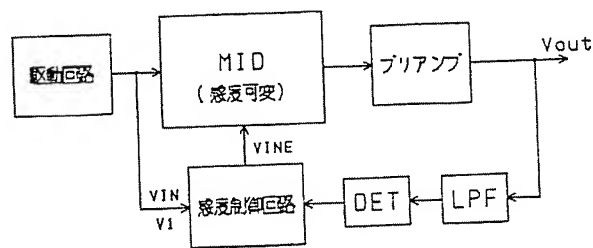
37

38

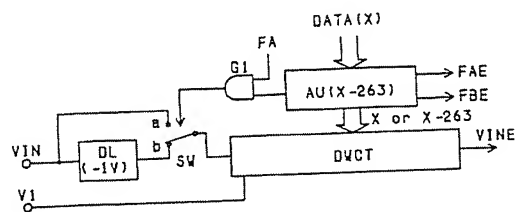
第 1 図



第 2 図



第 3 図



第 4 図

